

1/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

014759785 \*\*Image available\*\*  
WPI Acc No: 2002-580489/ 200262  
XRPX Acc No: N02-460791

Semiconductor device e.g. integrated circuit, LSI includes electrostatic noise absorption wiring conductor which is connected to wiring conductor and to ground pin

Patent Assignee: NEC IC MICROCOMPUTER SYSTEMS LTD (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002198466	A	20020712	JP 2000394800	A	20001226	200262 B

Priority Applications (No Type Date): JP 2000394800 A 20001226

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2002198466	A	7	H01L-023/12	

Abstract (Basic): JP 2002198466 A

NOVELTY - An electrostatic noise absorption wiring conductor (3) which is positioned between a NC pin (P1) and an input pin (P3), is connected to a wiring conductor (4) provided to the surface of a PCB (1). The wiring conductor (3) is also connected to a ground pin (P2).

USE - Semiconductor device e.g. integrated circuit (IC), LSI.

ADVANTAGE - Prevents destruction of semiconductor chip by electrostatic noise by providing a noise absorption wiring conductor between the NC and input pins.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the semiconductor device. (Drawing includes non-English language text).

PCB (1)

Electrostatic noise absorption wiring conductor (3)

Wiring conductor (4)

NC pin (P1)

Ground pin (P2)

Input pin (P3)

pp; 7 DwgNo 2/12

Title Terms: SEMICONDUCTOR; DEVICE; INTEGRATE; CIRCUIT; LSI; ELECTROSTATIC; NOISE; ABSORB; WIRE; CONDUCTOR; CONNECT; WIRE; CONDUCTOR; GROUND; PIN

Derwent Class: U11

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H01L-023/00

File Segment: EPI

(11)特許出願公開番号

特開2002-198466

(P2002-198466A)

(43)公開日 平成14年7月12日(2002.7.12)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード(参考)

H O 1 L 23/12  
23/00

501

H O 1 L 23/12  
23/00

501W  
B

審査請求 有 請求項の数 8 OL (全 7 頁)

(21)出願番号 特願2000-394800(P2000-394800)

(22) 出願日 平成12年12月26日 (2000. 12. 26)

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 高嶋 喜文

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100082935

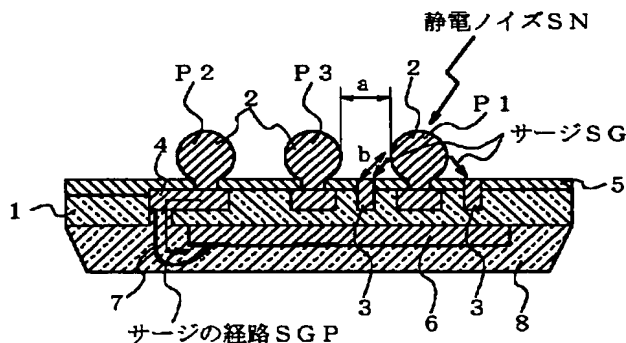
弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップに無接続なNCピンに印加された静電ノイズの隣接するピンへの放電を防止することができ、チップサイズを拡大することなく、静電ノイズによる半導体チップの破壊を防止することができる半導体装置を提供する。

【解決手段】NCピンP1である半田ボール2と隣接する入力ピンP3である半田ボール2との間に位置して、プリント基板1の表面に露出して設けられた、接地電位ピンP2である半田ボール2が接続されている配線導体4に接続されている静電ノイズ吸収配線導体3を有する。



**BEST AVAILABLE COPY**

## 【特許請求の範囲】

【請求項1】 基板と、前記基板に形成された配線パターンを有する第1の配線導体と、前記基板に搭載された半導体チップと、前記半導体チップと前記第1の配線導体とを接続する接続手段と、前記第1の配線導体に接続され前記接続手段により前記半導体チップに接続されている第1の外部端子と、前記第1の配線導体に接続のみされている第2の外部端子とを有する半導体装置において、前記第2の外部端子と前記第2の外部端子と隣接する外部端子との間に位置して前記基板に形成された配線パターンを有する第2の配線導体を有することを特徴とする半導体装置。

【請求項2】 前記第2の配線導体が、前記第2の配線導体と前記第2の外部端子との距離が、前記第2の外部端子と前記第2の外部端子と隣接する外部端子との距離より小さい位置に設けられている請求項1記載の半導体装置。

【請求項3】 前記第2の配線導体が、接地電位ピンである前記第1の外部端子が接続されている前記第1の配線導体に接続されている請求項1または2記載の半導体装置。

【請求項4】 前記第2の配線導体が、電源供給ピンである前記第1の外部端子が接続されている前記第1の配線導体に接続されている請求項1または2記載の半導体装置。

【請求項5】 前記第2の配線導体が、前記第2の外部端子の周囲を囲む形状で設けられている請求項1または2記載の半導体装置。

【請求項6】 前記第2の配線導体が、前記基板の表面に露出して設けられている請求項1、2または5記載の半導体装置。

【請求項7】 基板と、前記基板に形成された配線パターンを有する配線導体と、前記基板に搭載された半導体チップと、前記半導体チップと前記配線導体とを接続する接続手段と、前記配線導体に接続された外部端子とを有する半導体装置において、前記外部端子の周囲を取り巻くように形成された第1の絶縁膜と、前記第1の絶縁膜と隣接する前記第1の絶縁膜との間を覆うように前記基板の表面に形成された導電膜と、前記導電膜と前記基板との間に形成された第2の絶縁膜とを有することを特徴とする半導体装置。

【請求項8】 前記導電膜が、接地電位ピンである前記外部端子が接続されている前記配線導体に接続されている請求項7記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、外部端子として半田ボールを用いた半導体装置に関し、特に静電ノイズ耐圧を向上させた半導体装置に関する。

## 【0002】

【従来の技術】近年、IC、LSI等の半導体装置は、半導体チップの微細加工技術が進み、チップサイズの縮小化が進んでいる。このため、半導体装置も小型化が進んでいる。

【0003】小型化した半導体装置として、BGA (Ball Grid Array) 型半導体装置やCSP (Chip Size Package/Chip Scale Package) 型半導体装置などの、外部端子として半田ボールを有する半導体装置が存在する。

10 【0004】従来のBGA型半導体装置（従来例1）は、図9の平面図及び図10の図9のD-D断面図で説明される。図9及び図10に示すように、プリント基板1に半導体チップ6が搭載され、半導体チップ6とプリント基板1に形成された配線パターンを有する配線導体4とがボンディングワイヤ7で接続され、プリント基板1の半導体チップ6の搭載面と反対面上に形成された絶縁膜5の開開口部にて半田ボール2が配線導体4に接続され、プリント基板1上の半導体チップ6やボンディングワイヤ7等が封止樹脂8で覆われている。

20 【0005】このように、半田ボール2を格子状に配置することで外部端子を形成するため、容易に多ピン化し小型化することが可能である。

## 【0006】

【発明が解決しようとする課題】上述した従来の半導体装置は、今後更に小型化・多ピン化が進むと、半田ボール間隔が狭くなることが予想される。半田ボール間隔が狭くなることで、次のような問題が生じてくる。

【0007】図9及び図10に示すように、半導体チップ6のどこにも接続されていない外部端子（半田ボール2）、即ちNC (No Connection) ピンP1が存在し、NCピンP1に静電ノイズが印加された場合、電荷の放電経路が無いと、ギャップ放電現象を起こしてしまう。そして、半田ボール間隔（ピン間隔）が狭い該半導体装置では、サージSGにより隣接ピン（入力ピンP3）に対して静電ノイズを印加してしまう可能性が、他のパッケージタイプ（例えばSOJ、TSOP）の半導体装置に比べて高い。

40 【0008】この時、NCピンP1に隣接している入力ピンP3は、半田ボール2が配線導体4とボンディングワイヤ7とを通じて、半導体チップ6上に形成された静電破壊保護回路（図示せず）に接続されているが、ギャップ放電現象による静電ノイズはこの静電破壊保護回路の耐圧以上の急峻なパルスであるため、半導体チップ6を破壊してしまう恐れがある。

50 【0009】なお、ギャップ放電現象について詳しく述べてある例としては、社団法人 電子情報通信学会技術研究報告（環境電磁工学）、1998年12月18日発行、P37～P42がある。この文献によると、3000V以下における電流立ち上がり時間は1ns以下であり、非常に急峻なパルスであると記載されている。そして、

## 3

通常LSIデバイスの設計において、耐圧基準としているESDA規格やJEDEC規格等によると、規定されている放電波形の立上り時間は2-10ns程度とされている。これはギャップ放電における放電波形の電流立上り時間と比べて緩やかであるため、前述の問題が発生する。

【0010】そこでこの問題を解決するために、例えば特開平11-163247号公報（従来例2、3）には、図11の説明図（従来例2）及び図12の説明図

（従来例3）に示す半導体装置およびリードフレームがある。これには、図11に示すように、半導体チップ6上にNCピン専用のボンディングパッド62と静電破壊保護回路64とを形成し、NCピンP1（インナリード9）とNCピン専用ボンディングパッド62とをボンディングワイヤ7で接続する半導体装置が示されている。この場合、NCピンP1に印加された静電ノイズを、NCピン専用静電破壊保護回路64で過電圧を吸収して、接地電位ピンP2へ放電する（サージの経路SGP）ことで、NCピンP1に隣接する入力ピンP3への静電放電による（サージにより印加された静電ノイズによる）半導体チップ6の破壊を防止することが開示されている。

【0011】この従来例2は、NCピンP1に印加された静電ノイズを、接地電位ピンP2へ放電することにより、NCピンP1に隣接する入力ピンP3への静電放電による半導体チップ6の破壊を防止する点において効果を奏している。

【0012】しかしながら、この従来例2ではNCピン専用のボンディングパッド62と静電破壊保護回路64とを設けているため、チップサイズが大きくなってしまいうという問題が生じる。そして、チップサイズが大きくなってしまうと、半導体ウエハ当たりの有効チップ数が減少するため、生産歩留を落とす原因となるという問題が生じる。

【0013】またこれには、図12に示すように、NCピンP1は半導体チップ6に無接続であり、そして、NCピンP1、入力ピンP3と半導体チップ6との間には接地電位ピンP2が配置されており、NCピンP1であるインナリード9と接地電位ピンP2であるインナリード9とが対向する部分はクリアランスを小さくした半導体装置およびリードフレームが示されている。この場合、NCピンP1であるインナリード9と接地電位ピンP2であるインナリード9とが対向する部分はクリアランスを小さくして、NCピンP1に印加された静電ノイズが、接地電位ピンP2へ放電しやすい形状になることで、NCピンP1に隣接する入力ピンP3への静電放電による半導体チップ6の破壊を防止することが開示されている。

【0014】しかしながら、この従来例3では放電箇所が半導体装置内部の樹脂封止部であるため、放電が起き

## 4

にくいという問題が生じる。つまり、絶縁材料の絶縁耐力は空気の10~100倍に達することが知られているが、封止樹脂は絶縁材料であるため、半導体装置内部の樹脂封止部では放電が起きにくい。この結果、半導体装置の外部（空気）に露出しているピン間（アウトリード間）で放電が起きてしまう可能性があるという問題が生じる。

【0015】従って、本発明の目的は、NCピンに印加された静電ノイズの隣接するピンへの放電を防止することができ、印加された静電ノイズによる半導体チップの破壊を防止することができる半導体装置を提供することにある。

【0016】本発明の他の目的は、チップサイズを拡大することなく、静電ノイズによる半導体チップの破壊を防止することができる半導体装置を提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体装置は、基板と、前記基板に形成された配線パターンを有する第1の配線導体と、前記基板に搭載された半導体チップと、前記半導体チップと前記第1の配線導体とを接続する接続手段と、前記第1の配線導体に接続され前記接続手段により前記半導体チップに接続されている第1の外部端子と、前記第1の配線導体に接続のみされている第2の外部端子とを有する半導体装置において、前記第2の外部端子と前記第2の外部端子と隣接する外部端子との間に位置して前記基板に形成された配線パターンを有する第2の配線導体を有することを特徴とする。

【0018】また、前記第2の配線導体が、前記第2の配線導体と前記第2の外部端子との距離が、前記第2の外部端子と前記第2の外部端子と隣接する外部端子との距離より小さい位置に設けられている。

【0019】また、前記第2の配線導体が、接地電位ピンである前記第1の外部端子が接続されている前記第1の配線導体に接続されている。または、前記第2の配線導体が、電源供給ピンである前記第1の外部端子が接続されている前記第1の配線導体に接続されている。

【0020】また、前記第2の配線導体が、前記第2の外部端子の周囲を囲む形状で設けられている。また、前記第2の配線導体が、前記基板の表面に露出して設けられている。

【0021】本発明の半導体装置は、基板と、前記基板に形成された配線パターンを有する配線導体と、前記基板に搭載された半導体チップと、前記半導体チップと前記配線導体とを接続する接続手段と、前記配線導体に接続された外部端子とを有する半導体装置において、前記外部端子の周囲を取り巻くように形成された第1の絶縁膜と、前記第1の絶縁膜と隣接する前記第1の絶縁膜との間を覆うように前記基板の表面に形成された導電膜と、前記導電膜と前記基板との間に形成された第2の絶

## 5

縁膜とを有することを特徴とする。

【0022】また、前記導電膜が、接地電位ピンである前記外部端子が接続されている前記配線導体に接続されている。

【0023】この様な本発明によれば、配線導体に接続のみされ半導体チップに接続されていない外部端子と隣接する外部端子との間に位置して、接地電位ピンである外部端子が接続されている配線導体に接続されている配線導体又は導電膜を設けている。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施形態を示す平面図、図2は図1のA-A断面図、図3は図2の第1の実施形態の半導体装置を実装基板に実装した状態を示す断面図、図4及び図5は図1及び図2の第1の実施形態の動作を示す、図4は図1のB部拡大図、図5は図4のA-A断面図である。

【0025】図1及び図2に示すように、本実施形態の半導体装置は、プリント基板1、プリント基板1に搭載された半導体チップ6、プリント基板1に形成された配線パターンを有する配線導体4及び静電ノイズ吸収配線導体3、半導体チップ6と配線導体4とを接続するボンディングワイヤ7、プリント基板1の半導体チップ6の搭載面と反対面上に全面を覆うように形成され、プリント基板1の配線導体4上に選択的に開口部が設けられ、プリント基板1の静電ノイズ吸収配線導体3の表面を露出して形成された絶縁膜5、絶縁膜5に設けられた開口部にて配線導体4に接続された半田ボール2、プリント基板1上の半導体チップ6やボンディングワイヤ7等を覆っている封止樹脂8を有している。

【0026】ここで、静電ノイズ吸収配線導体3は、半導体チップ6に無接続なNCピン(P1)である半田ボール2と隣接する半田ボール2との間に位置して、NCピン(P1)である半田ボール2の周囲を囲む形状で、(静電ノイズ吸収配線導体3の)表面を絶縁膜5上に露出して設けられ、そして、接地電位ピン(P2)である半田ボール2が接続されている配線導体4に接続されている。

【0027】なお、NCピンP1は、半導体チップ6に無接続な半田ボール2である。そして、接地電位ピンP2、入力ピンP3及び電源供給ピン(図示せず)である半田ボール2は、夫々配線導体4とボンディングワイヤ7とを介して半導体チップ6に接続されている。

【0028】そして、図3に示すように、本実施形態の半導体装置は、実装基板21に実装された状態でも、静電ノイズ吸収配線導体3は、例えばフローにより実装基板21に接続された、NCピンP1である半田ボール2及び隣接する半田ボール2が接触(ショート)しない位置に設けられている。

【0029】ここで、この半導体装置は、図4及び図5

## 6

に示すように動作する。図4及び図5に示すように、NCピンP1に静電ノイズSNが印加されると、NCピンP1は半導体チップ6に無接続であり、ボンディングワイヤ7を介しての電荷移動ができないため、ギャップ放電(サージSG)を起こす。

【0030】ギャップ放電電圧Vsは、パッシェンの法則によって以下の式で表される。

【0031】

【式1】

$$Vs = 23.85 \delta \cdot d (1 + 0.329) / (\delta \cdot d)^{1/2} [kV]$$

ここで  $\delta = 0.386 \cdot p / (273 + T)$

但し、 $\delta$  : 相対空気密度、 $p$  : 空気圧力[Torr]、

$T$  : 温度[℃]、 $d$  : 電極間距離[cm]

【0032】上記式は、温度Tと空気圧力pが一定である条件下では、ギャップ放電電圧Vsは電極間距離dに依存することを示す。すなわち、電極間距離dが小さければギャップ放電電圧Vsも小さくなるため、ギャップ放電が起きやすくなる。

【0033】図5に於いて、NCピンP1と隣接する入力ピンP3との距離をa、NCピンP1と静電ノイズ吸収配線導体3との距離をbとすると、電極間距離(d)の関係はa>bであるので、サージSGの経路としては、図4及び図5に示す、サージの経路SGPとなる。

【0034】NCピンP1に印可された静電ノイズSNは、静電ノイズ吸収配線導体3を介して、接地電位に対して放電されるが、接地電位ピンP2は配線導体4とボンディングワイヤ7とを通じて、半導体チップ6に形成された高容量のコンデンサ(図示せず)に接続されているため、静電ノイズSNを十分吸収することができる。

【0035】また、本実施形態では、静電ノイズ吸収配線導体3は、接地電位ピンP2に接続されているが、本発明はこれに限定されず、電源供給ピン(図示せず)に接続されていても良い。

【0036】ここで、本実施形態では、既存の半導体装置の製造工程に対しての変更が少ないため、生産コストを上げることなく、静電ノイズによる半導体チップの破壊を防止することができる。

【0037】図6は本発明の第2の実施形態を示す平面図、図7は図6のC-C断面図、図8は図7の第2の実施形態の半導体装置を実装基板に実装した状態を示す断面図である。図6及び図7に示すように、本実施形態の半導体装置は、図1及び図2に示す第1の実施形態が、半田ボール2及び静電ノイズ吸収配線導体3以外のプリント基板1の表面に絶縁膜5が形成され、静電ノイズ吸収配線導体3が接地電位ピンP2である半田ボール2が接続されている配線導体4に接続されて構成されているのに対し、半田ボール2の周囲を取り巻くように第1の

絶縁膜 13 が形成され、半田ボール 2 及び第 1 の絶縁膜 13 以外のプリント基板 1 の表面に、第 1 の絶縁膜 13 と隣接する第 1 の絶縁膜 13 との間を覆うように導電膜 15 が形成され、導電膜 15 が接地電位ピン P2 である半田ボール 2 が接続されている配線パターンを有する第 2 の配線導体 12 に接続され、導電膜 15 とプリント基板 1 との間には第 2 の配線導体 12 及び接地電位ピン P2 以外の NC ピン P1、入力ピン P3 等である半田ボール 2 が夫々接続されている配線パターンを有する第 1 の配線導体 11 上に選択的に開口部が設けられた第 2 の絶縁膜 14 が形成されているものである。

【0038】そして、図 6 及び図 7 に示すように、第 1 の絶縁膜 13 により導電膜 15 と半田ボール 2 とは絶縁されている。また、第 2 の絶縁膜 14 により導電膜 15 と第 1 の配線導体 11 とは絶縁されている。

【0039】そして、図 8 に示すように、本実施形態の半導体装置は、実装基板 21 に実装された状態でも、例えばリフローにより実装基板 21 に接続された、半田ボール 2 が導電膜 15 に接触（ショート）することは第 1 の絶縁膜 13 により起こらない。

【0040】ここで、この半導体装置は、次のように動作する。NC ピン P1 に静電ノイズ SN（図示せず）が印加されると、ギャップ放電（サージ SG）を起こす。

【0041】NC ピン P1 に印可された静電ノイズ SN は、導電膜 15 を介して、接地電位に対して放電されるが、接地電位ピン P2 は第 2 の配線導体 12 とボンディングワイヤ 7 とを通じて、半導体チップ 6 に形成された高容量のコンデンサ（図示せず）に接続されているため、静電ノイズ SN を十分吸収することができる。

【0042】ここで、第 2 の実施形態と第 1 の実施形態との相違として、第 1 の実施形態では、NC ピンである半田ボールの周囲に静電ノイズ吸収配線導体を設けるため、プリント基板内の他の信号配線導体とショートしないように、静電ノイズ吸収配線導体の配線パターンの設計を行う必要がある。しかし、第 2 の実施形態では、プリント基板の表面全体が導体（導電膜）であるため、NC ピンである半田ボールの場所に寄らず静電ノイズを吸収する放電経路が得られるので、第 1 の実施形態のように静電ノイズ吸収配線導体の配線パターンを考慮する必要がなく、スタンダードなプリント基板を用いた半導体装置を提供することができる。

【0043】

【発明の効果】以上述べたように、本発明によれば、NC ピン（である半田ボール）と隣接するピン（である半田ボール）との間に静電ノイズ吸収配線導体又は導電膜を設け、NC ピンに印加された静電ノイズを吸収しているので、NC ピンに印加された静電ノイズの隣接するピンへの放電を防止することができ、印加された静電ノイズによる半導体チップの破壊を防止することができるという効果が得られる。

【0044】また、半導体チップ上への NC ピン専用のボンディングパッドや静電破壊保護回路の形成（配置）が不要であるので、チップサイズを拡大することなく、静電ノイズによる半導体チップの破壊を防止することができるという効果も得られる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の第 1 の実施形態を示す平面図である。

【図 2】図 1 の A-A 断面図である。

10 【図 3】図 2 の第 1 の実施形態の半導体装置を実装基板に実装した状態を示す断面図である。

【図 4】図 5 と共に、図 1 及び図 2 の第 1 の実施形態の動作を示す、図 1 の B 部拡大図である。

【図 5】図 4 と共に、図 1 及び図 2 の第 1 の実施形態の動作を示す、図 4 の A-A 断面図である。

【図 6】本発明の第 2 の実施形態を示す平面図である。

【図 7】図 6 の C-C 断面図である。

【図 8】図 7 の第 2 の実施形態の半導体装置を実装基板に実装した状態を示す断面図である。

20 【図 9】従来技術を示す平面図である。

【図 10】図 9 の D-D 断面図である。

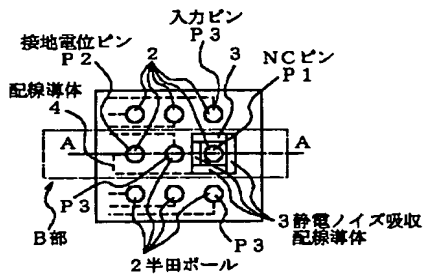
【図 11】他の従来技術を示す説明図である。

【図 12】さらに他の従来技術を示す説明図である。

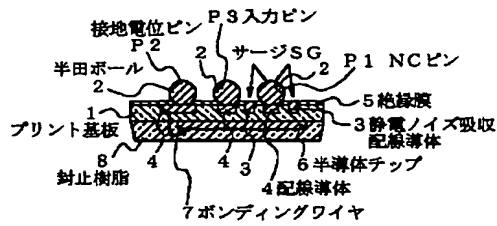
【符号の説明】

- |        |                  |
|--------|------------------|
| 1      | プリント基板           |
| 2      | 半田ボール            |
| 3      | 静電ノイズ吸収配線導体      |
| 4      | 配線導体             |
| 5      | 絶縁膜              |
| 30 6   | 半導体チップ           |
| 6 1    | ボンディングパッド        |
| 6 2    | NC ピン専用ボンディングパッド |
| 6 3    | 静電破壊保護回路         |
| 6 4    | NC ピン専用静電破壊保護回路  |
| 6 5    | 内部回路             |
| 7      | ボンディングワイヤ        |
| 8      | 封止樹脂             |
| 9      | インナーリード          |
| 1 1    | 第 1 の配線導体        |
| 40 1 2 | 第 2 の配線導体        |
| 1 3    | 第 1 の絶縁膜         |
| 1 4    | 第 2 の絶縁膜         |
| 1 5    | 導電膜              |
| 2 1    | 実装基板             |
| P 1    | NC ピン            |
| P 2    | 接地電位ピン           |
| P 3    | 入力ピン             |
| SG     | サージ              |
| SG P   | サージの経路           |
| 50 SN  | 静電ノイズ            |

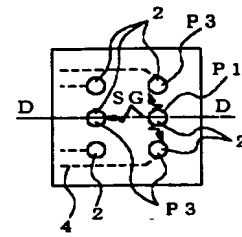
【図1】



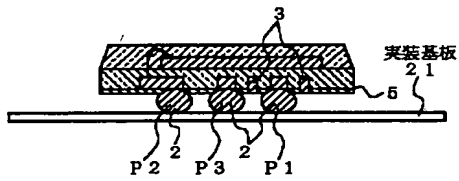
【図2】



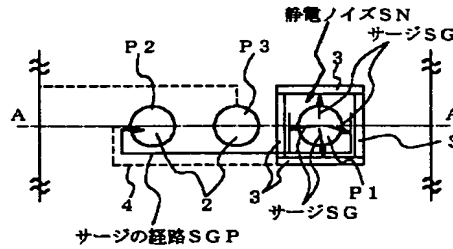
【図9】



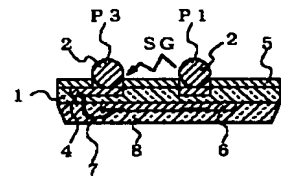
【図3】



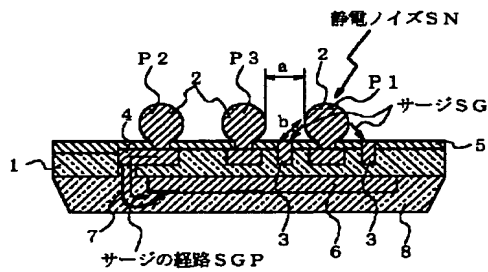
【図4】



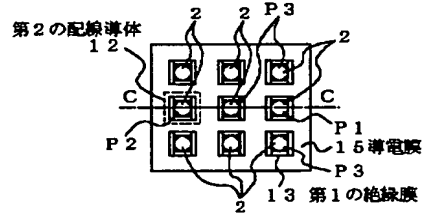
【図10】



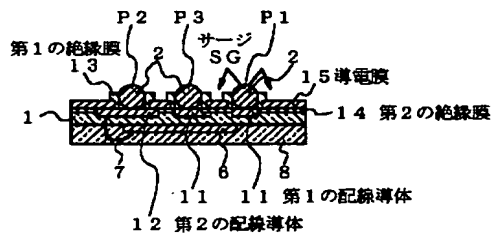
【図5】



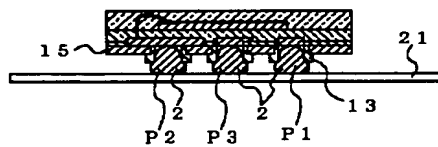
【図6】



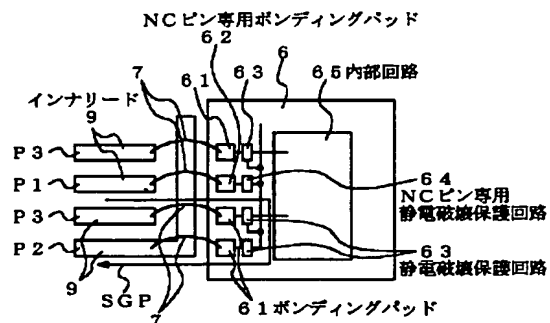
【図7】



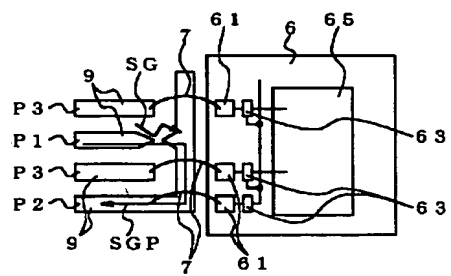
【図8】



【図11】



【図12】



BEST AVAILABLE COPY